

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-041080

(43)Date of publication of application : 19.02.1993

(51)Int.CI.

G11C 11/22

(21)Application number : 03-197812

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 07.08.1991

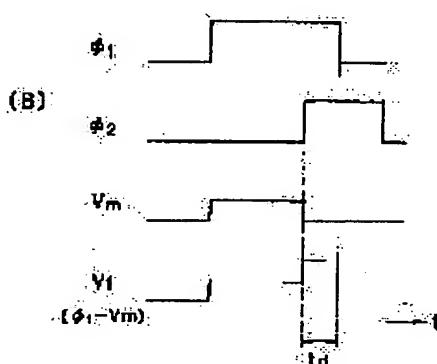
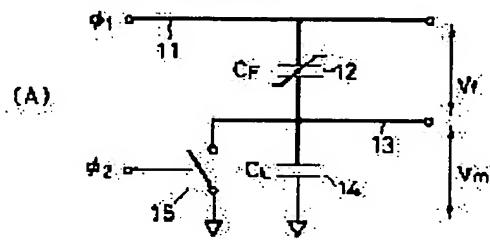
(72)Inventor : YOSHIMORI HIROYUKI

(54) FERROELECTRIC MEMORY AND METHOD FOR DRIVING THIS MEMORY

(57)Abstract:

PURPOSE: To execute high-speed driving without deteriorating the polarization state of a ferroelectric memory cell.

CONSTITUTION: A load capacitor 14 is connected electrically in series to the dielectric cell consisting of a pair of electrodes and the ferroelectric thin film crimped between these electrodes or the memory cell 12 consisting of a combination of this ferroelectric thin film cell and a semiconductor element. After the potential accumulated in this load capacity 14 is read out, a discharge circuit 15 immediately discharges the accumulated charge of the load capacity 14.



LEGAL STATUS

[Date of request for examination] 03.08.1998

[Date of sending the examiner's decision of rejection] 07.12.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平5-41080

(43)公開日 平成5年(1993)2月19日

(51) Int.Cl. 5
G11C 11/22

識別記号

8522-5L

F I

審査請求 未請求 請求項の数6 (全12頁)

(21)出願番号 特願平3-197812

(22)出願日 平成3年(1991)8月7日

(71)出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72)発明者 由森 博之

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

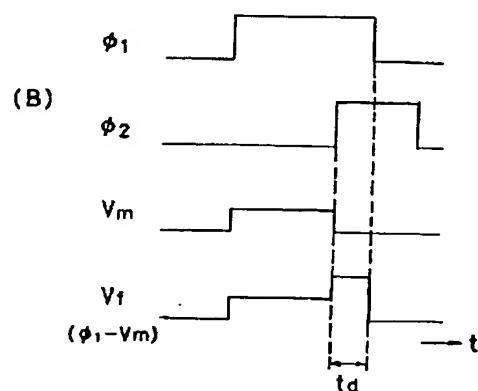
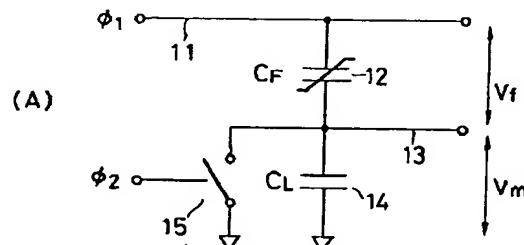
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】強誘電体メモリ及びその駆動方法

(57)【要約】

【目的】強誘電体メモリセルの分極状態を劣化させることなく、高速な駆動を行なうこと。

【構成】1対の電極とこれら電極間に挟持された強誘電体薄膜とからなる強誘電体セル、あるいは該強誘電体セルと半導体素子との組み合わせからなるメモリセル12に、負荷容量14が電気的に直列接続され、前記負荷容量14に蓄積された電位を読み出し後、放電回路15が、直ちに前記負荷容量14の蓄積電荷を放電する。



【特許請求の範囲】

【請求項1】 1対の電極とこれら電極間に挟持された強誘電体薄膜とからなる強誘電体セル、あるいは該強誘電体セルと半導体素子との組み合わせからなるメモリセルと、前記メモリセルに電気的に直列接続された負荷容量と、前記負荷容量に蓄積された電位を読み出し後、直ちに前記負荷容量の蓄積電荷を放電する放電回路と、を具備することを特徴とする強誘電体メモリ。

【請求項2】 前記負荷容量が、半導体を構成する部位の一部を用いて構成されることを特徴とする請求項1に記載の強誘電体メモリ。

【請求項3】 前記負荷容量が、半導体を構成することにより必然的に形成される容量分を利用して構成されることを特徴とする請求項1に記載の強誘電体メモリ。

【請求項4】 前記負荷容量が、強誘電体薄膜及び高誘電率を有する薄膜のいずれか一方を用いて構成されることを特徴とする請求項1に記載の強誘電体メモリ。

【請求項5】 1対の電極とこれら電極間に挟持された強誘電体薄膜とからなる強誘電体セル、あるいは該強誘電体セルと半導体素子との組み合わせからなるメモリセルと、前記メモリセルに電気的に直列接続された負荷容量と、前記負荷容量に蓄積された電位を読み出し後、直ちに前記負荷容量の蓄積電荷を放電する放電回路とを具備する強誘電体メモリに於いて、

前記メモリセルに蓄積された電荷、及び前記メモリセルの情報を読み出すことにより前記負荷容量に蓄積された電荷を、該負荷容量の放電時定数より前に、前記放電回路にて放電することを特徴とする強誘電体メモリの駆動方法。

【請求項6】 1対の電極とこれら電極間に挟持された強誘電体薄膜とからなる強誘電体セル、あるいは該強誘電体セルと半導体素子との組み合わせからなるメモリセルと、前記メモリセルに電気的に直列接続された負荷容量と、前記負荷容量に蓄積された電位を読み出し後、直ちに前記負荷容量の蓄積電荷を放電する放電回路とを具備する強誘電体メモリに於いて、

前記メモリセルの情報を読み出すことにより前記負荷容量に蓄積された電荷を、前記放電回路にて放電した後、前記メモリセルに蓄積された電荷を放電することを特徴とする強誘電体メモリの駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体メモリ装置に係り、特に、強誘電体容量素子を利用した強誘電体メモリ、並びにその強誘電体メモリに於ける高速・高S/N読み出しのための駆動方法に関する。

【0002】

【従来の技術】 一般に、強誘電体材料はヒステリシス特性を有しており、この特性を利用してデータを記憶でき

ることが知られている。図10は、前述した強誘電体材料のヒステリシス特性を示している。同図に於いて、横軸は電界E、縦軸は分極Pを表している。

【0003】 電界が0の時の分極状態（残留分極P₀）には、図示のように、AとCの2つの状態があり、各位置をデジタル信号の“1”，“0”に対応させる。即ち、Aの状態を“1”、Cの状態を“0”と定義する。勿論、その逆でも何等、差し支えないことは言うまでもない。データの書き込みは以下のようにして行う。

10 【0004】 図11は、書き込み動作を説明するために必要最低限の最も単純な構成を示しており、以降、この構成を強誘電体セルと称する。即ち、この強誘電体セル100は、強誘電体薄膜102を上部電極103と下部電極201でサンドイッチした構成からなる。

【0005】 こうした構成の強誘電体セル100に対し、例えば、図10に示される抗電界E_aに比べ充分大きな電界E_bを印加して、書き込みを行う。つまり、分極状態を変化させるのであるが、その印加電界の向きにより、強誘電体薄膜102の電界E除去後の分極状態20は、AであるかCであるかが決まる。

【0006】 今、図10に於いて、分極状態がAであるとする。この状態の強誘電体薄膜102に対して、正の電界パルスE_aを印加すると、分極状態はA→B→Cと変化し、Cに落ちつく。即ち、データに対応させれば、“1”から“0”に書き換えられたことになる。一方、元々Cの分極状態であれば、分極状態はC→B→Cと変化し、元の状態と変わらない。

【0007】 つまり、書き込みの印加電界E_bの印加方向、図11に於いて電極102と103の、どちらをハイに、あるいは、ローにするかで、強誘電体薄膜102の分極状態を一義的に決めることができ、データ“1”，“0”を間違ひなく書き込めるものである。また、このような強誘電体セル100からのデータの読み出しが、以下のようにして行う。

【0008】 例えば、前記強誘電体薄膜102に“1”信号が書き込まれており、分極状態がAの状態であるとする。この時、正の読み出しパルスE_aを印加すると、前記分極はA→B→Cと分極状態を移行する（図10中の矢印b）。このA状態からB状態に移行するAB区間の傾斜は大きく、強誘電体薄膜102の容量値C₁の変化は大きい。

【0009】 これに対して、強誘電体薄膜102に“0”信号が書き込まれており、分極状態がCの状態である場合、前記読み出しパルスE_aを印加すると、分極状態はC→B→Cと変化する（図10中の矢印a）が、このBC区間は傾斜が緩やかであり、つまり、前記容量値C₁の変化は小さい。

【0010】 従って、この容量値C₁の大小により、データ“1”的場合には出力が大きく、データ“0”的場合には小さくなるので、“1”と“0”を判別して読み

出すことができる。

【0011】前述したヒステリシス特性を利用して、強誘電体を情報記録媒体として用いた強誘電体メモリの先行特許には、例えば、特開昭55-126905号公報、特開昭57-117186号公報、特開昭59-215096号公報、特開昭59-215097号公報、特開平1-158691号公報、等が開示されている。

【0012】情報の書き込み、読み出しが、光学的なものと電気的なものとがあるが、特開平1-158691号公報には、従来のICメモリのように電気的に書き込み・読み出しができる強誘電体メモリの回路例が開示されている。

【0013】図12の(A)は、強誘電体メモリセル部の概略的な回路構成例を示す図である。強誘電体セル100にエンハンスト型NMOSトランジスタからなるアクセストランジスタ104が接続され、駆動線105、ワード線106、ビット線107が接続された構成となる。

【0014】前記強誘電体セル100は、図12の(A)に示すように、矢印C方向により示されるデータ“1”的分極状態を持つように設定することができる。また、逆に、矢印Cの反対方向により示されるデータ

$$i_1 > i_2$$

の関係が成立する。そのため、出力電流を、あるリファレンス信号と比較することで、書き込まれていたデータが“1”か“0”かを判別することができる。

【0019】この電流*i₁*、*i₂*の判別動作について、図13を参照して説明する。図12に示される強誘電体セル100と半導体スイッチ104とで、1つのセルが構成され、このセル108を駆動制御するために、デコーダ109、ドライバ110及び制御回路111等の周辺回路が接続されている。さらには、センスアンプ112が設けられ、このセンスアンプ112にはビット線107及びリファレンス信号線113が接続されている。

【0020】前記リファレンス信号は、このリファレンス信号線113により与えられる。周知のDRAMでは、「ダミーセル」を配し、その「ダミーセル」から、データ“1”と“0”的場合に得られる電流*i₁*、*i₂*の中間の大きさの電流を発生させ、それをリファレンス信号として用いている。

【0021】そして、特開平1-158691号公報に於いては、図14に示すように、同一の強誘電体セル100a、100bを一対にして用い、一方の強誘電体セル、例えば、100aをデータ記録用のセルとし、もう一方の強誘電体セル100bをリファレンス用のセルとして組み合わせて使用する。また、強誘電体セル100a、100bには、必ず相補的にデータが記録されており、例えば強誘電体セル100aに“1”が記録されている場合には、強誘電体セル100bには“0”が記録されている。

“0”的分極状態に設定することもできる。このメモリ回路108の読み出しが以下のようにして行われる。

【0015】まず、ワード線106による読み出し信号が、高電位(Hレベル)の時には、トランジスタ104がONされ、強誘電体セル100は駆動線105及びビット線107の間を導通させた状態となる。

【0016】この導通状態で、ビット線107を0V、駆動線105をハイ(H)レベル($\geq E_{\text{th}}$)とする。この時に、分極状態が下向きの矢印で示されるデータ

10 “1”的状態、即ち図10に於けるA状態であるとすると、分極はA状態からB状態へとAB区間を移動し、駆動線105が低電位(ロー(L)レベル)0Vに下降すると、B状態からC状態へと分極は変化する。この時、トランジスタ104を経て、ビット線107に電流*i₁*が流れる。

【0017】逆に、書き込まれているデータが“0”的場合、即ち図10に於いてCの状態の分極状態にある場合には、前述した動作と同じ動作により分極状態をC状態からB状態を経てC状態に戻るように変化し、対応する電流*i₂*が、ビット線107に流れる。

【0018】この時、分極の変化量に比例して電流が発生するため

…(1)

【0022】このような状態に於いて、トランジスタ104a、104bの各ゲートに接続されているワード線106をHレベルにして、トランジスタ104a、104bをON状態にする。次に、ビット線107a、107bを0V、駆動線105をHレベルからLレベルにする。その時、例えば、前記強誘電体セル100aにデータ“1”が記録され、前記強誘電体セル100bに“0”が記録されている場合には、前記ビット線107aには図10に示したヒステリシス曲線のA状態からB状態を経てC状態(矢印b)になる分極状態の変化に伴う電流*i₁*が流入し、また前記ビット線107bには、C状態からB状態を経てC状態(矢印a)の変化に伴う電流*i₂*が流入する。これら電流*i₁*、*i₂*がセンスアンプ112にて比較増幅される。

【0023】センスアンプ112として、周知のDRAM等で使用されているフリップ・フロップ型のセンスアンプであれば、電流*i₁*、*i₂*はビット線等の容量成分により電位に変化された形でセンスアンプに流入、比較増幅される。また、データの書き込みは、読み出しと同様にして、以下のようにして行われる。

【0024】ワード線106をHレベルに設定し、トランジスタ104a、104bをONさせて、駆動線105あるいはビット線107a、107bのいずれか一方をHレベルに、他方をLレベルにする。

【0025】この時、駆動線105をHレベルに設定し、ビット線107a、107bをLレベルに設定すれば、下向きの矢印で示されるデータ“1”的状態に分極

状態が設定され、逆の場合にはデータ“0”的状態に分極状態が設定される。

【0026】しかし、従来の方法では、強誘電体セルから発生する電荷をどのようにセンシングするかが不明瞭であるが、DRAMと同様にセンスアンプにてデータ読み出しを行っていることから、強誘電体セルに負荷容量を接続し、電位に変換してデータ信号とリファレンス信号を比較増幅していることは明らかである。このような構成では、以下のような問題が生ずる。

【0027】図15の(A)は、従来の方法によるリード/ライト(R/W)動作を説明するための回路構成を示す図である。読み出しは、前記の如く以下のようにして行われる。センスアンプ112に接続するトランスマニアゲート104をONとし、続けて強誘電体セル100に接続するトランスマニアゲート114をONとする。こうした状態で駆動線105をハイとする。それらのタイミングは、図15の(B)に示す。

【0028】

【発明が解決しようとする課題】このような回路構成では、駆動線105をハイからローに落とした時に、問題が生ずる。図12の(B)は、その時点での等価回路を示す図である。強誘電体セル100への読み出し動作に伴なう分極反転による電荷は、負荷容量115に蓄積されて、その電位をセンスアンプ(S.A.)112で、リファレンス信号V_{ref}と比較増幅する。この場合、その負荷容量115の有する電位は、図12の(B)から判るように、反転させた分極を減極する向きに働くため、分極状態を不安定なものとする。これにより、図10に示されるA及びC状態ではなく、中間の状態になってしまふ。

【0029】逆に、トランスマニアゲート114をOFFした後に、駆動線105をローとした場合(図15の(B)中に点線で示す場合)には、上記問題は起らないが、強誘電体膜102に蓄積された電荷(後述)が放電されない。従って、トランスマニアゲート114のリクリクや他の構成部品を経由しての自然放電による放電を待たねばならない。

【0030】また、これは駆動信号V_{ctrl}のタイミングに関係なく起るが、負荷容量115に蓄積された電荷の放電が従来の構成ではできない。これも自然放電による放電を待たねばならず、高速駆動はもとより、安定したR/W動作が望めない。強誘電体セル100あるいは負荷容量115に電荷が蓄積された状態で、次のR/W動作を行うために駆動信号V_{ctrl}をハイとし、ある電圧V_{ctrl}を印加しても、強誘電体セル100に印加される実効的な電圧は、V_{ctrl}によるものではなく、前記容量に蓄積された電荷による分だけ差異を生じ、安定したR/W動作が行えない。従って、強誘電体セル100及び負荷容量115に蓄積された電荷を高速に確実に放電させる必要がある。本発明は、上記の点に鑑みてなされたもので、強

誘電体メモリセルの分極状態を劣化させることなく、高速な駆動を可能とすることを目的とする。

【0031】

【課題を解決するための手段】上記の目的を達成するために、本発明による強誘電体メモリは、1対の電極とこれら電極間に挟持された強誘電体薄膜とからなる強誘電体セル、あるいは該強誘電体セルと半導体素子との組み合わせからなるメモリセルと、前記メモリセルに電気的に直列接続された負荷容量と、前記負荷容量に蓄積された電位を読み出し後、直ちに前記負荷容量の蓄積電荷を放電する放電回路とを具備することを特徴としている。

【0032】ここで、前記負荷容量は、例えばMOSトランジスタのゲート酸化膜容量や半導体素子中の拡散層容量等の半導体を構成する部位の一部を用いて構成しても良いし、また、例えばMOSトランジスタのゲート酸化膜容量や半導体素子中の拡散層容量、あるいはデータライン等の寄生容量等、半導体を構成することにより必然的に形成される寄生容量等の容量分を利用して構成することができる。さらには、前記負荷容量は、強誘電体薄膜及び高誘電率を有する薄膜、例えばTa₂O₅膜あるいはSi₃N₄膜等を用いて構成することができる。

【0033】また、本発明による強誘電体メモリの駆動方法は、前記のような強誘電体メモリに於いて、前記メモリセルに蓄積された電荷、及び前記メモリセルの情報を読み出すことにより前記負荷容量に蓄積された電荷を、該負荷容量の放電時定数より前に、前記放電回路にて放電することを特徴としている。

【0034】あるいは、前記のような強誘電体メモリに於いて、前記メモリセルの情報を読み出すことにより前記負荷容量に蓄積された電荷を、前記放電回路にて放電した後、前記メモリセルに蓄積された電荷を放電することを特徴としている。

【0035】

【作用】即ち、本発明による強誘電体メモリ及びその駆動方法では、放電回路によって、負荷容量に蓄積された電位を読み出し後、直ちに前記負荷容量の蓄積電荷を放電し、その後、メモリセルに蓄積された電荷を放電することにより、強誘電体セル及び負荷容量に蓄積された電荷を高速且つ確実に放電できるので、強誘電体メモリセルの分極状態を劣化させることなく、高速な駆動を可能とことができる。

【0036】

【実施例】本発明の実施例を説明する前に、本発明の理解を助けるために、先ず、本発明の原理を説明する。

【0037】本発明による強誘電体メモリは、図1の(A)に示すように、電圧供給ライン11に接続された少なくとも強誘電体セルを含むメモリセル12と、データ読み出しライン13と、そのデータ読み出しライン13に接続された負荷容量14と、その負荷容量14に電気的に並列接続された放電回路15とからなる。基本的

な動作は、メモリセル 12 及び負荷容量 14 に蓄積された電荷を、放電回路 15 により放電させることにより行われる。

【0038】放電回路 15 としては、例えば、MOSトランジスタにより形成することができる。図1の(A)は、MOSトランジスタをトランジスタゲートとして用いた場合の例であるが、このMOSトランジスタのゲートをONあるいはOFFすることで放電動作を行う。勿論、MOSトランジスタをONにした時に、メモリセル 12 及び負荷容量 14 に蓄積された電荷は、このMOSトランジスタを経由してGNDに放電される。放電のタイミングは、例えば、図1の(B)のタイミングチャートに示すように設定される。

【0039】即ち、メモリセル 12 から情報を読み出す場合には、波形 ϕ_1 で示すように、電圧供給ライン 11 をハイ（例えば5V）にし、メモリセル 12 が発生する電荷を負荷容量 14 に蓄積する。そして、蓄積されることによって上がるデータ読み出しライン 13 の電位（波形 V_1 ）を検知する。その後、波形 ϕ_2 で示すように、放電回路 15 をONとし、負荷容量 14 に蓄積された電荷をGNDに放電する。

【0040】この時、放電回路 15 をON状態にするタイミングは、少なくとも、電圧供給ライン 11 をローにするタイミングより前でなければいけない。さらには、

$$\tau = R_{on} \cdot C_1$$

ここで、 $C_1 = C_L + C_0$

C_1 ：負荷容量 14 の容量

C_0 ：強誘電体薄膜の分極反転を伴わない線形容量

R_{on} ：放電回路のON抵抗

で定義される放電時定数 τ より前である必要がある。つまり、図1の(B)に於ける t_d が、

【0041】

【数1】

$$\tau \leq t_d$$

である必要がある。何故ならば、これより後では、負荷容量 14 の放電が十分に行われておらず、従来の問題点を解決することができないからである。

【0042】こうして、データ読み出しライン 13 に放電回路 15 を接続することで、従来問題となったメモリセル 12 の分極状態を劣化させることなく、高速な駆動が可能となるものである。以下、図面を参照して、本発明の実施例を説明する。

【0043】図2は、本発明の第1の実施例に於ける強誘電体メモリセルの構成を示す断面図である。即ち、メモリセル 12 は、周知のIC作製技術により放電回路 15 を構成するMOSトランジスタ 16 を形成した基板 17 上に下部電極 18、強誘電体薄膜 19、上部電極 20 を順次積層した構造となっている。

【0044】ここで、下部電極 18 は、例えばO. 2ミ

クロン厚の白金であり、強誘電体薄膜 19 は、O. 3ミクロン厚のPb (Zr, Ti, O)O_x（以下、PZTと略す）、上部電極 20 は、O. 2ミクロン厚の白金である。なお、図3中の参照番号 21 はLOCOS、22 はMOSトランジスタ 16 のゲート、23 はBPSG/LTO、24 はSiO₂、25 はAI配線である。このような構造のメモリセル 12 は、以下のようにして作製される。

【0045】即ち、MOSトランジスタ 16 が形成された基板 17 上にRfスパッタにより白金 (Pt) からなる下部電極 18 をO. 2ミクロン厚みで成膜し、ICの製造等で周知のフォトリソグラフィ行程により適宜、パターニングする。その後、PZTからなる強誘電体薄膜 19 をソルゲル法により形成（後述）し、続けて、白金からなる上部電極 20 を下部電極 18 と同様な方法で形成する。PZTからなる強誘電体薄膜 19 は、図3のフローチャートに示すようにして、ニオブ (Nb) を微量添加したPZTをソルゲル法にて作製する。

【0046】即ち、第1行程として、Pb : ジエトキン鉛 / Pb (OC₂, H₂O) 0. 500 mol と、Zr : テトラnブトキシジルコニウム / Zr (OC₂, H₂O) 0. 235 mol と、Ti : テトラnブトキシチタン / Nb (OC₂, H₂O) 0. 265 mol と、Nb : ベンタnブトキシオブ / Nb (OC₂, H₂O) 0. 010 mol の割合で、濃度が20wt%になるように、溶剤 : nブチルアルコール (1) + i-プロピルアルコール (2) に溶解して、塗布溶液を作る（ステップS1）。この時に、塗布溶液は、部分的に加水分解される（ステップS2）。次に、前述した塗布溶液を、スピンドルに供給して、1500 rpmで基板に塗布して、塗膜を形成する（ステップS3）。

【0047】その後、温度25℃、湿度65%RHの雰囲気下で、3時間放置し、乾燥及び加水分解させる（ステップS4）。次に、前記基板を熱処理槽に入れて、1℃/min昇温するように、60℃まで昇温させて、該基板の雰囲気を0.1気圧まで減圧して60分間保持し、この真空処理によって生成アルコール（エチルアルコール、n-ブチルアルコール）や過剰水分、残留有機物等を完全に除去する（ステップS5）。

【0048】さらに、前記処理槽内に所定ガスを導入して1気圧まで昇圧した後（ステップS6）、雰囲気を昇温速度5℃/minで550℃まで昇温して、60分間保持して焼結させ（ステップS7）、その後、室温まで徐冷して（ステップS8）、PZT薄膜を作成する。図4の(A)は、こうして作製した強誘電体メモリの回路構成を示す図である。

【0049】即ち、強誘電体セル 12 に直列に負荷容量 14 が接続され、さらに、この負荷容量 14 とは並列にN形MOSトランジスタ 16 が接続されている。負荷容量 14 の電位は、N形MOSトランジスタから成るト

ンスファーゲート26を経由して、センスアンプ27の一方の入力端に印加される。また、このセンスアンプ27の他方の入力端には、リファレンス信号 V_{ref} が入力されている。

【0050】強誘電体セル12の他方の端子には、駆動回路27が接続され、不図示の制御回路からの駆動信号に応じて、強誘電体セル12に制御信号 ϕ_1 を与える。

また、MOSトランジスタ16のゲートは、上記駆動信号あるいはリード、ライト系28からの制御信号を遅延して、制御信号 ϕ_1 を生成する遅延回路29が接続されている。また、上記不図示の制御回路から、トランスファーゲート26を構成するMOSトランジスタのゲートへ制御信号 ϕ_1 が与えられるようになっている。実際には、さらに強誘電体セル12等をセレクトするデコーダ等も必要となるが、ここでは図示及び説明を省略する。次に、動作を説明する。上記構成のメモリに於いて、読み出しは、図4の(B)のタイミングチャートに示すようにして行なわれる。

【0051】まず、信号読み出しライン13に蓄積されているチャージを引き抜くために、MOSトランジスタ16のゲートをハイ(図中、波形 ϕ_1 の(1)部)にする。この動作により、信号読み出しライン13の初期化が行われる。次に、駆動回路27により、強誘電体セル12に読み出し電圧 V_o (波形 ϕ_1)を印加する。続いて、波形 ϕ_1 に示すように、センスアンプ27に接続されるトランスファーゲート26をONし、その後、OFFとする。

【0052】そして、このOFFにするタイミングに合わせて、波形 ϕ_1 の(2)部に示すように、MOSトランジスタ16をONにする。この時、前述したように、MOSトランジスタ16をONとするタイミングは、強誘電体セル12に印加している読み出し電圧 V_o を0Vに下げる時刻よりも、少なくとも、先で定義した時定数 τ 以上である必要があり、即ち、数1に示したようである。

【0053】このようにすれば、強誘電体セル12の駆動回路27側の電極がロー(L)レベルに落ちる前に、MOSトランジスタ16を経由してチャージが放電され

$$C_s = \epsilon_s \cdot \epsilon_r \cdot (S/d)$$

である。 C_s と C_t は並列に形成されるため、データラインに接続される容量は以下の数2の式のようになる。

【0058】

【数2】

$$C_m + C_t \equiv C_s$$

この C_s は、半導体素子を形成することで必ず発生する成分であり、値の調節はできるが、失くすことはできない。

【0059】そこで、本発明の第3の実施例として、図1の(A)に示されるような負荷容量(C_t)14を、

ため、負荷容量14の電位が下がることから、強誘電体セル12の分極が減極されることはない。しかも、図4の(B)中に示されるタイミングチャートの如く、読み出し動作と同一動作内で処理されるため、高速に動作させることができる。

【0054】図5の(A)は、本発明の第2の実施例の構成を示す図である。本第2の実施例は、図4の(A)に示した構成の強誘電体メモリに於いて、強誘電体セル11にトランスファーゲート30を設けたものである。

このゲート30は、セル12を電気的に他セルと分離するスイッチとしての働きをするもので、実際のデバイス等で使用される実際的な構成である。

【0055】本実施例の場合には、このトランスファーゲート30の制御信号 ϕ_1 は、図5の(B)中のタイミングチャートにあるように、読み出し電圧 V_o とのタイミングをとる。つまり、このゲート30は、単なる電極ラインの替わりのスイッチであるから、制御信号 ϕ_1 に於いて V_o が印加される時間を包含するようにONとなつていれば良いもので、厳密なタイミング制御は必要としない。その他の動作及びその効果は、前述した第1の実施例と同様である。

【0056】図6は、上記センスアンプ27の構成例として、フリップフロップ(F/F)型のセンスアンプを示す図である。このセンスアンプ27は、図示のようにMOSトランジスタから構成され、31～33はPMOS、34～38はNMOSにて形成されている。これらのMOSトランジスタのうちトランジスタ31、36、37、38は、データあるいは電源、GND等との入出力を制御するトランジスタである。さて、この30ようにMOSトランジスタが形成されると、図7に示されるように、随所に容量成分(C_{dd} 、 C_{ds} 、 C_{ds})を有する。ここで、データライン39、40と基板との間に形成される容量を、 C_t と表現するものとする。

【0057】さらには、データライン39、40も半導体上でラインを形成すると、基板とラインとの間の距離 d がそれ程大きくできず、どうしても容量 C_t を形成する。その値は、距離 d を形成する材料の比誘電率 ϵ_r とラインの面積 S に依存し、

$$\epsilon_r : \text{真空の誘電率}$$

この C_t にて形成してやる。 C_t の調節は、 C_s あるいは、 C_t の大小をコントロールすれば良い。

【0060】 C_t の値は、メモリセル12及びF/F型センスアンプ27との関係から決められ、 C_t を C_s あるいは C_t にて形する場合には、以下の2通りの方法がある。

【0061】即ち、一方は、一つのデータ読み出しラインあるいは、F/F型センスアンプ27を形成することによって必然的に形成される容量分を C_t とし、それに適合させてメモリセル12及びF/F型センスアンプ27を設計する方法であり、もう一方は、メモリセル12及び

F F型センスアンプ27に適合させてC_lを合わせる方法である。どちらでもその効果動作は同じであり、本発明の効果を実現することができる。前者の方法では必然的に形成される容量分を適切に利用するため、高密度なデバイスが作製できる。後者については、以下の第4実施例にて詳述する。

【0062】図1の(A)に於いて、負荷容量14は、メモリセル(C_f)12に対して同等もしくは大きな容量値として設定されるのが通常である。強誘電体膜、例えばP Z Tをメモリセル(C_f)12とした場合、その組成にもよるが、例えば□10μm×t0.2~0.3μmの大きさで、数pFの容量を有す。この値に対し、C_lを設計した場合に、通常作製されたデバイスサイズのラインあるいはセンスアンプ27を構成するMOSのゲート容量([fF]のオーダ)では不十分であり、意図的に人工的にC_lを形成する必要がある。そこで、半導体素子中の拡散層容量、MOSのゲート容量等を利用してC_lを形成してやる。ここでは、MOSのゲート容量を利用してC_lを形成するものとする。これにより、MOSの作製条件もによるが、数100μm×数100μmのゲート面積で、数pFの容量値を持たせられる。

【0063】このサイズを調節して、メモリセル12あるいはF F型センスアンプ27に見合う大きさのC_lを形成する。このようにすることで、本発明のメモリが従来の半導体プロセス技術を利用して具現化することが可能となる。

【0064】また、前記C_lを、例えば、データ読み出しライン等で形成する場合、前述したようにC_lの大きさとしては数pF程度必要となるため、ライン面積が大きくなってしまう。例えば、通常の図2の如き構成の場合、ライン25と基板17間のSiO₂膜24の比誘電率は約4であるので、SiO₂膜厚0.5μm、ライン幅2μmとすれば、1pFの容量を形成するには、式(1)より7000μmの長さが必要となり、デバイス作製上、非現実的である。そこで、本発明の第5の実施例として、SiO₂膜よりもε_rが大きな材料で形成することができる。

【0065】Ta_xO_yではε_r=22、Si_xN_yではε_r=8~9であり、SiO₂に比べてTa_xO_yでは約5倍、Si_xN_yでは約2倍大きく、先と同条件としても、必要な長さがその比の逆数分だけ短かくなり高密度に容量素子を形成することが可能となる。次に、図8及び図9を参照して、本発明の第6の実施例を説明する。

【0066】強誘電体セルに電界を印加すると、分極反転と同時に、通常の線形容量成分も持ち合わせて電荷が蓄積する。図8は、強誘電体膜の電気的な等価回路として良く知られたものであるが、分極反転に伴う電荷の発生を表現する電流源I₁と線形容量C₁、そして直流抵抗分Rの並列接続から成る。この線形容量C₁

に電荷が蓄積される。この状態では、次に、この強誘電体膜に電界E₁を印加した場合、蓄積電荷が決める反電界によりE₂が実効的に強誘電体膜に印加されなくなり、安定した書き込み・読み出し動作が行えない。

【0067】そこで、蓄積電荷の放電を行うのであるが、図5に示す構成に於いて、前述の放電回路を前記タイミングで行うことに加え、図9中の制御信号波形φ₁に示すように、駆動線11をローレベルに落とすタイミングを、放電回路にて負荷容量14の電荷を放電させ、負荷容量14の電位をローレベルに落とした後とする。こうすれば、強誘電体セルの両端の電位は共にローレベルとなるため、強誘電体膜の分極を減極することなく、さらに強誘電体セルの蓄積電荷の放電も行え、安定した書き込み、読み出しが行える。

【0068】

【発明の効果】以上詳述したように、データ読み出しラインに放電回路を接続することで、従来問題となつた強誘電体メモリセルの分極状態を劣化させることなく、高速な駆動が可能となる。

【図面の簡単な説明】

【図1】(A)は本発明の原理を説明するための強誘電体メモリの回路構成図であり、(B)は(A)の回路構成に於ける動作を説明するためのタイミングチャートである。

【図2】本発明の第1の実施例に於ける強誘電体メモリセルの構成を示す断面図である。

【図3】強誘電体薄膜の作製法を説明するためのフローチャートである。

【図4】(A)は第1の実施例の強誘電体メモリの回路構成を示す図であり、(B)は(A)の回路の動作を説明するためのタイミングチャートである。

【図5】(A)は第2の実施例の強誘電体メモリの回路構成を示す図であり、(B)は(A)の回路の動作を説明するためのタイミングチャートである。

【図6】第3の実施例に於けるセンスアンプの回路構成図である。

【図7】各MOSトランジスタの容量成分を説明するための図である。

【図8】第6の実施例に於ける強誘電体膜の電気的等価回路を示す図である。

【図9】第6の実施例の動作を説明するためのタイミングチャートである。

【図10】強誘電体材料のヒステリシス特性を示す線図である。

【図11】強誘電体セルの構成を示すための断面図である。

【図12】(A)は従来の強誘電体メモリセルの概略的な回路構成図であり、(B)は図15の(A)の回路構成に於いて駆動線をハイからローに落とした時点での等価回路を示す図である。

【図13】従来の強誘電体メモリ回路の回路構成図である。

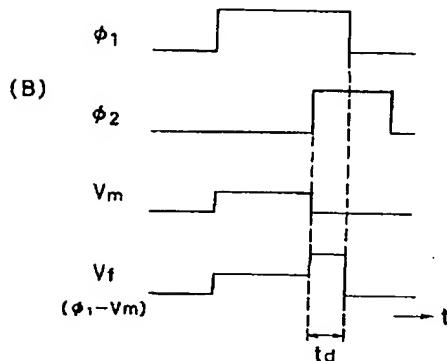
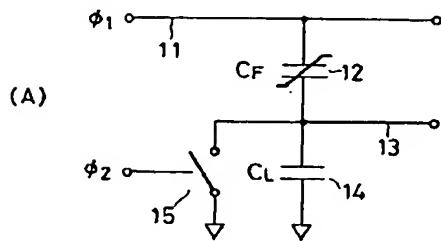
【図14】従来の強誘電体メモリの回路構成図である。

【図15】(A)は従来の問題点を説明するための従来の強誘電体メモリの回路構成図であり、(B)は(A)の回路のタイミングチャートである。

【符号の説明】

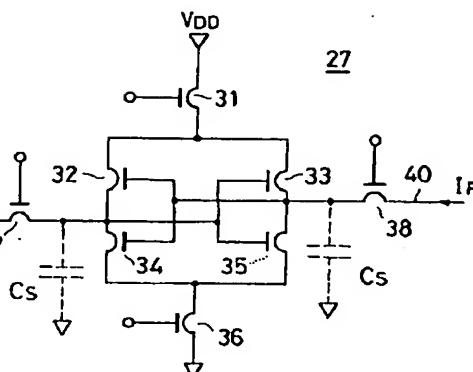
1 1 …電圧供給ライン（駆動線）、1 2 …メモリセル（ C_F ）、1 3 …データ読み出しライン、1 4 …負荷容量（ C_L ）、1 5 …放電回路、1 6 …MOSトランジスタ。

(図 1)

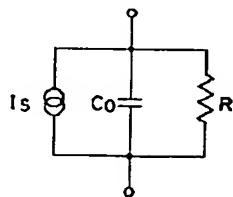


(图2)

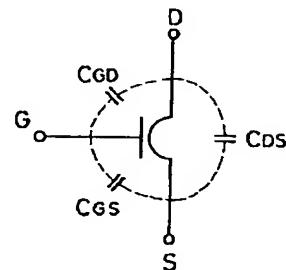
〔图6〕



〔图8〕

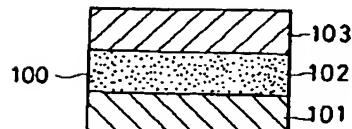


【図7】

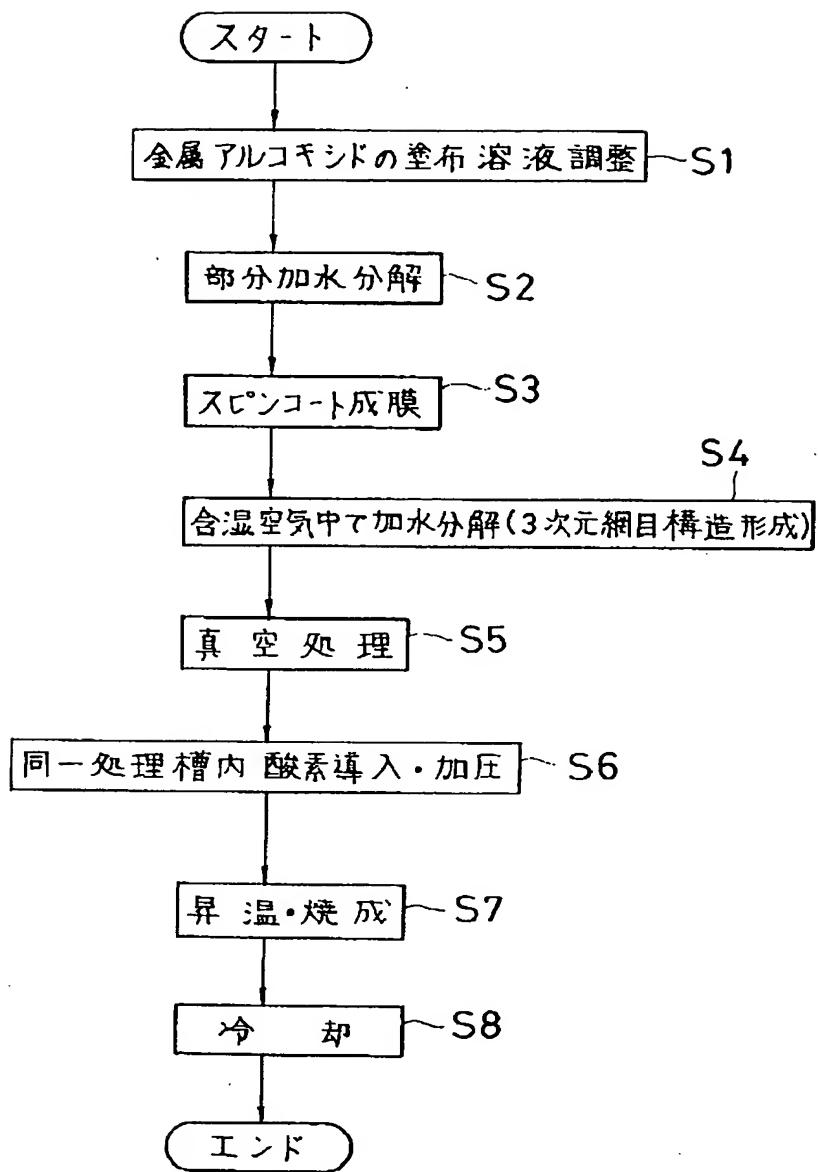


This cross-sectional diagram illustrates a semiconductor device structure. The structure is built on a substrate (11) with a dashed line indicating the p-n junction. The layers are labeled as follows: (12) top passivation layer, (13) interlayer dielectric, (14) contact hole, (15) conductive line, (16) interlayer dielectric, (17) contact hole, (18) n+ source/drain region, (19) contact hole, (20) conductive line, (21) contact hole, (22) conductive line, (23) contact hole, (24) conductive line, (25) conductive line, and (26) contact hole. The diagram shows a complex interconnect network with multiple levels of vias and conductive lines.

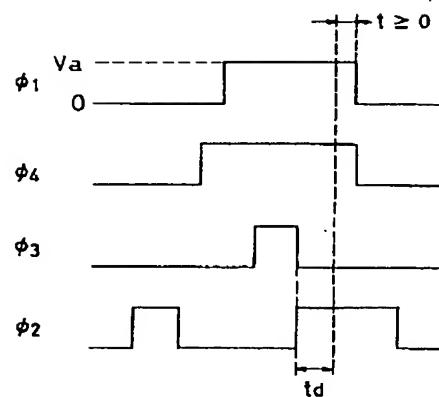
[☒ 1 1]



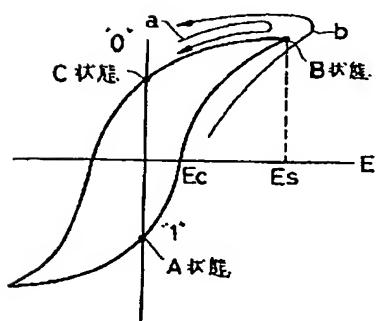
【図 3】



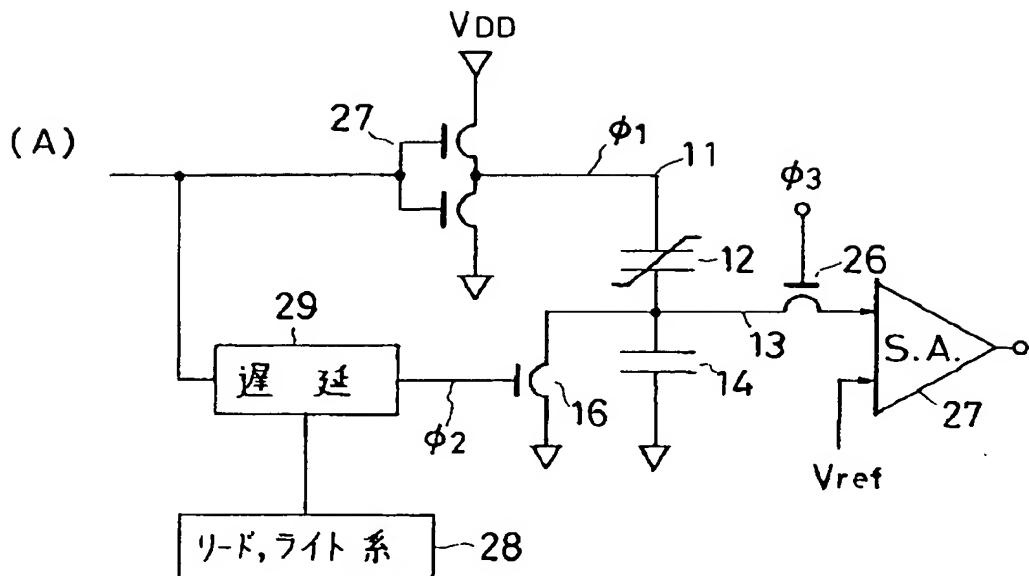
【図 9】



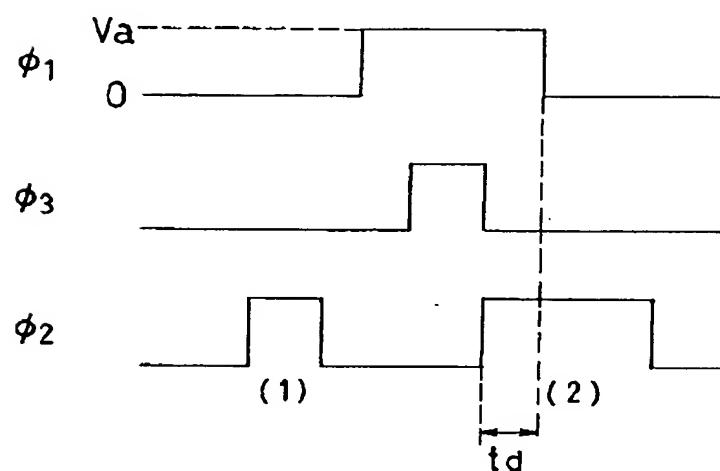
【図 10】



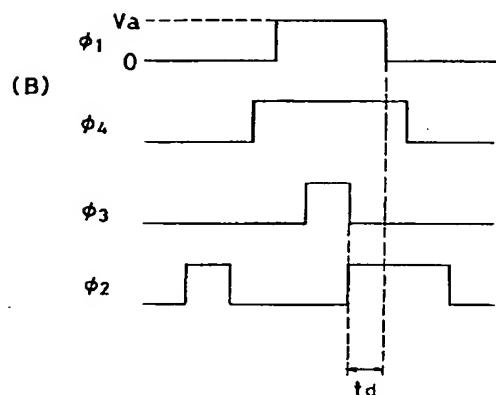
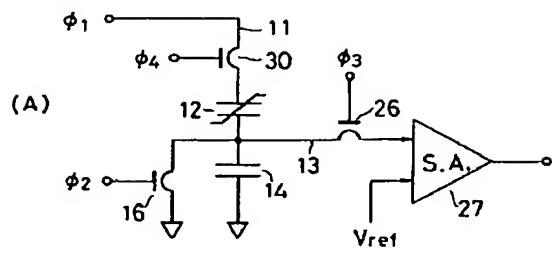
【図4】



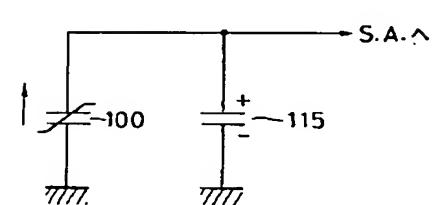
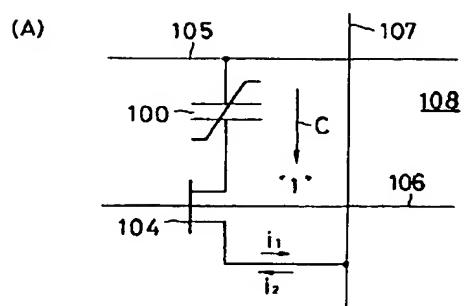
(B)



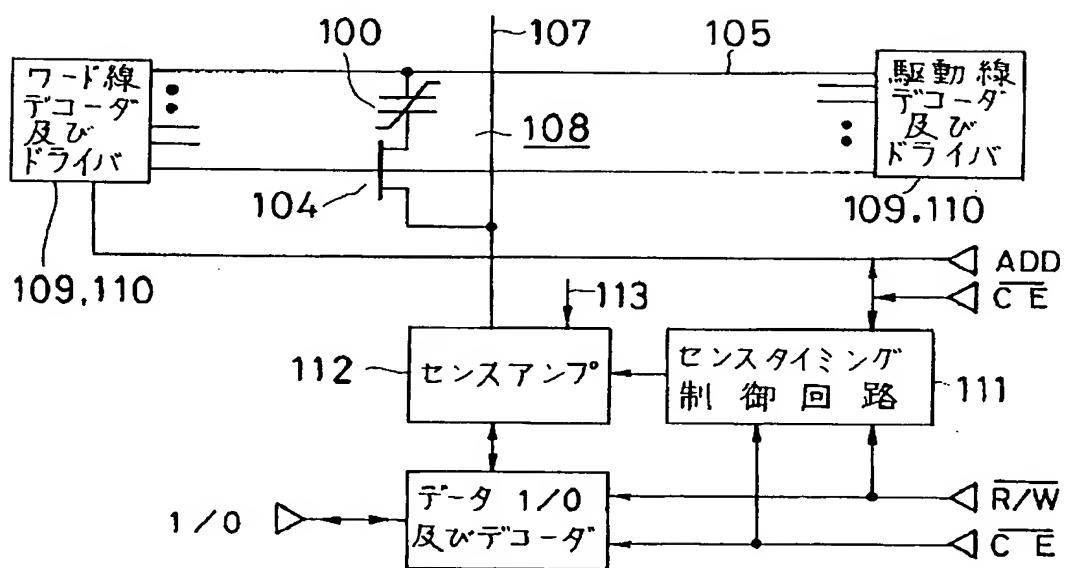
【図 5】



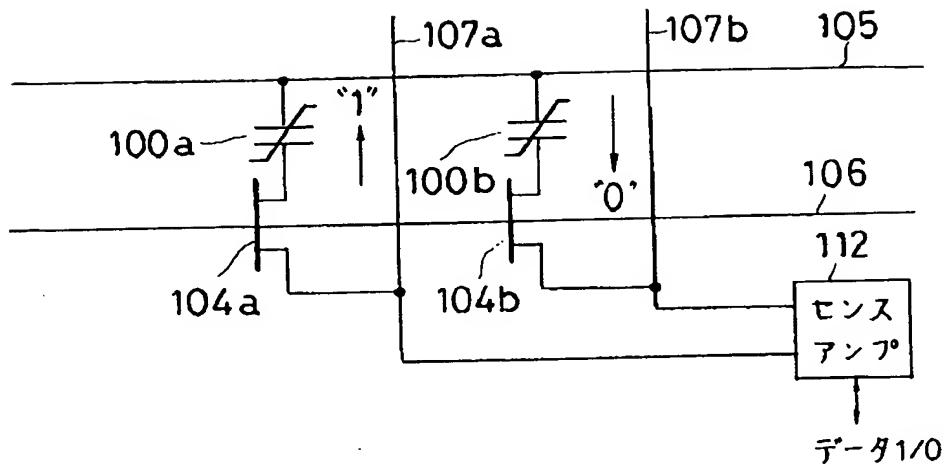
【図 12】



【図 13】



【図14】



【図15】

